대 한 민 국 특 허 청
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출 원 번 호 : 10-2003-0088260
Application Number

출 원 년 월 일 : 2003년 12월 05일
Date of Application DEC 05, 2003

출 원 인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Insi

2004 년 01 월 19 일

특 허 청
COMMISSIONER

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0003
【제출일자】 2003.12.05
【발명의 명칭】 반도체 레이저 및 그 제작 방법
【발명의 영문명칭】 Semiconductor laser and method for manufacturing the same
【출원인】
【명칭】 한국전자통신연구원
【출원인코드】 3-1998-007763-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 2001-032061-5
【발명자】
【성명의 국문표기】 송정호
【성명의 영문표기】 SONG,Jung Ho
【주민등록번호】 681024-1953218
【우편번호】 157-220
【주소】 서울특별시 강서구 방화동 839번지 도시개발공사아파트 216-702
【국적】 KR
【발명자】
【성명의 국문표기】 이철욱
【성명의 영문표기】 LEE,Chul Wook
【주민등록번호】 670813-1674015
【우편번호】 305-751
【주소】 대전광역시 유성구 송강동 199 송강그린아파트 308동 301호
【국적】 KR
【발명자】
【성명의 국문표기】 김기수
【성명의 영문표기】 KIM,Ki Soo
【주민등록번호】 720202-1480716

【우편번호】	560-849
【주소】	전라북도 전주시 완산구 풍남동3가 23-14
【국적】	KR
【발명자】	
【성명의 국문표기】	백용순
【성명의 영문표기】	BAEK,Yong Soon
【주민등록번호】	641116-1066915
【우편번호】	305-761
【주소】	대전광역시 유성구 전민동 엑스포아파트 106-1108
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	3 면 3,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	429,000 원
【감면사유】	정부출연연구기관
【감면후 수수료】	214,500 원
【기술이전】	
【기술양도】	희망
【실시권 허여】	희망
【기술지도】	희망
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 BH(Buried Heterostructure) 레이저에서 능동 도파로 밖으로 흐르는 누설전류를 차단하기 위하여 상부 클래드의 폭을 작게하여 저항값을 증가시킨다. 전류차단층에 걸리는 전압이 감소되어 누설전류가 차단됨으로써 주입된 전류에 대한 광 출력의 비가 향상된다. 본 발명은 반도체층을 형성한 후 도파로 중심으로부터 일정한 폭만 남기고 식각하여 상부 클래드를 형성한다. 식각에 의해 전극과 전류차단층이 아주 얇은 폭의 반도체층으로 연결되는데, 이 연결 부위는 큰 전기적 저항값을 가지므로 전류차단층에 걸리는 전압을 감소시킨다. 따라서 전류차단층으로 흐르는 누설전류를 억제시킬 수 있다. 소자의 제작을 용이하게 하기 위하여 p형 반도체층을 성장시키기 전에 아주 얇은 식각정지층을 형성함으로써 선택적 식각 방법을 이용하여 p형 반도체층을 원하는 폭으로 식각할 수 있다.

【대표도】

도 7f

【색인어】

BH, 레이저, 전류차단층, 메사 구조, 도파로, 누설전류

【명세서】

【발명의 명칭】

반도체 레이저 및 그 제작 방법 {Semiconductor laser and method for manufacturing the same}

【도면의 간단한 설명】

도 1 내지 도 3은 종래 BH(Buried Heterostructure) 반도체 레이저의 구조를 설명하기 위한 단면도.

도 4a는 반도체층들로 구성되는 사이리스터 구조의 전류차단층의 개략도.

도 4b는 도 4a에 도시된 전류차단층의 회로도.

도 5는 도 4b의 트랜지스터(Q1 및 Q2)를 Ebers-Moll model로 계산하여 얻은 전류-전압 특성을 나타낸 그래프.

도 6은 반도체층들로 이루어진 사이리스터를 포함하는 BH 레이저의 회로도.

도 7a 내지 도 7f는 본 발명에 따른 반도체 레이저의 제작 방법을 설명하기 위한 단면도.

도 8은 서로 다른 구조를 갖는 BH 레이저의 특성을 나타낸 그래프.

도 9a는 본 발명에 따른 BH 레이저에서의 도파로 모드 특성을 나타낸 그래프.

도 9b는 기존 BH 레이저에서의 도파로 모드 특성을 나타낸 그래프.

<도면의 주요 부분에 대한 부호의 설명>

1, 11, 21, 100: n-InP 기판 2, 12, 22, 101: 활성층

3, 13, 23: 클래드층 4, 24: p-InP 전류차단층

5, 25: n-InP 전류차단층 6, 17, 26: p-InP 클래드층

7, 27, 107: 오믹 접촉층 14: 언도프 반도체층

15: p-InP 전류차단층 16: n-InP 전류차단층

28: 절연 반도체층 41 내지 44: 반도체층

41, 43, 102, 104a, 104c, 106: p형 반도체층

103: 마스크 패턴 104: 전류차단층

42, 44, 104b: n형 반도체층 105: 식각정지층

108: 평탄화층 109: 금속층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<21> 본 발명은 BH(Buried heterostructure) 레이저에 관한 것으로, 더욱 상세하게는 능동 도파로 밖으로 흐르는 누설전류를 차단하여 주입된 전류에 대한 광 출력의 비가 향상되도록 한 반도체 레이저 및 그 제작 방법에 관한 것이다.

<22> 일반적으로 Buried heterostructure(BH) 레이저는 전류를 능동 도파로에만 제한적으로 주입할 수 있기 때문에 주입된 전류에 대한 광 출력의 비가 우수하다. BH 레이저에서 전류가 능동 도파로 이외의 부분으로 퍼지는 것을 막기 위해 다음과 같은 두 가지의 전류차단 방법을 이용한다.

<23> 한 가지의 전류차단 방법은 p형과 n형으로 도핑된 두 반도체층을 번갈아 적층하여 사이리스터(thyristor)를 구성하는 방법이다.

<24> 미국특허 제5,665,612호(J. K. Lee et al., "Method for fabricating a planar buried heterostructure laser diode")는 비선택적 식각과 선택적 식각으로 메사(mesa) 구조를 형성한 후 반도체층을 성장시키는 방법을 제안한다.

<25> 도 1을 참조하면, n-InP 기판(1) 상에 활성층(2) 및 클래드층(3)을 형성한 후 소정의 마스크를 이용한 비선택적 식각과 선택적 식각 공정으로 메사 구조를 형성한다. 메사 구조 측부의 식각된 부분에 p-InP 전류차단층(4)과 n-InP 전류차단층(5)을 형성한다. 상기 메사 구조를 포함하는 전체 상부면에 p-InP 클래드층(6)을 형성하고, 상기 클래드층(6) 상에 오믹 접촉층(7)을 형성한다.

<26> 상기 구조는 메사 구조 이외의 부분에 n-p-n-p형 반도체층(1, 4, 5, 6)으로 사이리스터를 구성하여 전류차단이 이루어지도록 한다. 이 때 상기 메사 구조 상부의 활성층(2)과 상기 p-InP 전류차단층(4)이 접하는 부분(d1)이 메사 구조 이외의 다른 부분(d2)에 비해 얇아야 저항값이 커져 n형의 기판(1)과 p형의 전류차단층(4)에 의해 형성되는 다이오드(diode)를 통한 누설전류가 효과적으로 감소되며, 메사 구조 이외의 부분은 두꺼워야 사이리스터로서의 역할을 하게 된다.

<27> 미국특허 제6,110,756호(N. Otsuka et al., "Method for producing semiconductor laser")는 소자의 신뢰성을 확보하면서 전류차단층의 효율을 최적화하는 방법을 제안한다.

<28> 도 2를 참조하면, n-InP 기판(11) 상에 활성층(12) 및 클래드층(13)을 형성한 후 소정의 마스크를 이용한 식각 공정으로 메사 구조를 형성한다. 메사 구조 측부의 식각된 부분에 언도프(Undoped) InP 반도체층(14), p-InP 전류차단층(15) 및 n-InP 전류차단층(16)을 형성한다. 상기 메사 구조를 포함하는 전체 상부면에 p-InP 클래드층(17)을 형성하고, 상기 클래드층(17) 상에 오믹 접촉층(18)을 형성한다.

<29> 상기 구조는 메사 구조 이외의 부분에 n-p-n-p형 반도체층(11, 15, 16, 17)으로 사이리스터를 구성하여 전류차단이 이루어지도록 한다. 이 때 상기 p형 반도체층(15)의 도핑 농도가 높을수록 사이리스터의 전류차단이 효과적이다. 그러나 상기 p형 반도체층(15)이 메사 구조 상부의 활성층(12)과 인접되어 형성되기 때문에 상기 p형 반도체층(15)에 도핑된 p형의 Zn 이온이 활성층(12)으로 확산되기 쉽다. 확산된 Zn 이온은 활성층(12)과 그 주변부 반도체층의 도핑 형태에 영향을 미치게 되어 소자의 특성을 변화시킬 수 있다. 그래서 상기 p형 반도체층(15)을 성장시키기 전에 언도프 InP 반도체층(14)을 얇게 형성하여 Zn 이온의 확산이 방지되도록 한다. 이렇게 하면 활성층(12)으로의 Zn 확산을 고려하지 않고 p형 반도체층(15)을 도핑시킬 수 있으므로 p-n-p-n형 반도체층으로 구성되는 사이리스터의 구조를 최적화시킬 수 있다.

<30> 다른 한 가지의 전류차단 방법은 식각 공정으로 메사 구조를 형성한 후 p-n-p형 반도체층 대신 절연(semi-insulating) 반도체층을 성장시키는 방법이다. 그러나 절연 반도체층을 성장시키면 도핑 과정에서 Fe 이온이 p형 반도체층에 도핑된 Zn 이온과 치환되어 절연 반도체가 p형 반도체로 변화하는 문제점이 발생된다. 그래서 이를 막기 위해 절연 반도체층을 성장시키기 전에 얇은 n형 반도체층을 성장시킨다. 이 때 n형 반도체층의 두께는 너무 얇거나 너무 두껍게 형성하지 않는다. n형 반도체층의 두께가 너무 얇으면 도핑된 이온들이 치환을 막지 못하고 너무 두꺼우면 이 층을 통한 누설전류가 생긴다.

<31> 소자의 고속 동작을 위해서는 전류차단층의 특성을 좋게 하고 캐패시턴스(capacitance)를 낮추어야 한다. 그러므로 상기와 같이 반도체층들을 이용하여 사이리스터를 구성하는 구조에서는 소자 구성 부분의 면적을 줄이는 것이 필요하다. 능동 도파로 이외의 사이리스터를 구성하는 반도체층들을 식각하면 사이리스터의 면적을 줄일 수 있으나, 이는 능동 도파로에서 발생하는 열의 발산을 저해하는 효과를 가져온다.

<32> G. Pakulski 등의 논문("Semi-insulating buried heterostructure laser with PN fence", Electronics Letters IEE Vol. 38, No. 25, pp.1680~1682, 2003)에서는 이러한 문제점들을 해결하기 위해 사이리스터를 구성하는 p형과 n형 반도체층들을 능동 도파로 주변만 남기고 식각한 후 식각된 부분에 절연 반도체를 채우는 방법을 제시하였다.

<33> 도 3을 참조하면, n-InP 기판(21) 상에 활성층(22) 및 클래드층(23)을 형성한 후 소정의 마스크를 이용한 식각 공정으로 메사 구조를 형성한다. 메사 구조 측부의 식각된 부분에 p-InP 전류차단층(24) 및 n-InP 전류차단층(25)을 형성한다. 상기 메사 구조를 포함하는 전체 상부면에 p-InP 클래드층(26)을 형성하고, 상기 클래드층(26) 상에 오믹 접촉층(27)을 형성한다. 능동 도파로 주변의 상기 오믹 접촉층(27), 클래드층(26), n-InP 전류차단층(25) 및 p-InP 전류차단층(24)을 식각하고, 식각된 부분에 절연 반도체층(28)을 형성한다.

<34> 상기 구조에서는 전류에 대한 광 출력의 비가 반도체층들로만 이루어진 사이리스터 구조에 비해 약간 향상되었으며 캐패시턴스가 감소된 실험결과를 얻었다.

<35> 상술한 바와 같이 메사 구조 주위의 전류차단층을 식각한 후 식각된 부분에 절연 반도체를 채우는 방법을 이용하면 BH 레이저의 특성을 향상시킬 수는 있으나, 고온이나 높은 동작 전류에서 전류차단층이 충분한 역할을 하지 못하면 누설전류가 생기게 된다. 또한, 식각 깊이가 깊기 때문에 공정의 진행이 어렵고, 절연 반도체층을 성장시켜야 하므로 공정이 복잡해진다. 그리고 Zn와 Fe 이온이 서로 치환되는 확산(inter diffusion) 현상과 깊은 식각 공정 때문에 메사 구조의 폭을 아주 작게 만들지 못한다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명의 목적은 BH 레이저에서 능동 도파로 밖으로 흐르는 누설전류를 차단하여 주입된 전류에 대한 광 출력의 비를 향상시키는 데 있다.

<37> 본 발명의 다른 목적은 전류차단층 상층부의 반도체층을 얇게 형성하여 전류퍼짐 특성을 향상시키는 데 있다.

<38> 본 발명의 또 다른 목적은 도파로 상부의 클래드를 소정의 폭으로 형성하여 전기적 저항값을 증가시킴으로써 전류차단층에 걸리는 전압을 감소시키는 데 있다.

<39> 상기한 목적을 달성하기 위한 본 발명에 따른 BH 레이저는 메사 구조로 식각된 기판과, 상기 메사 구조 상에 형성되며 도파로의 코아가 되는 활성층과, 상기 활성층 상에 형성된 제 1 클래드층과, 상기 메사 구조 측부의 식각된 상기 기판 상에 형성된 전류차단층과, 상기 제 1 클래드층 및 전류차단층 상에 형성된 식각정지층과, 상기 메사 구조 상부의 상기 식각정지층 상에 소정의 폭으로 형성된 제 2 클래드층과, 상기 제 2 클래드층 상에 형성된 오믹 접촉층과, 상기 오믹 접촉층과 접촉되는 제 1 전극과, 상기 기판의 하부면에 형성된 제 2 전극을 포함하는 것을 특징으로 한다.

<40> 또한, 상기한 목적을 달성하기 위한 본 발명에 따른 BH 레이저 제조 방법은 n형 기판 상에 활성층 및 제 1 p형 반도체층을 형성한 후 제 1 마스크 패턴을 이용한 식각 공정으로 노출된 부분의 제 1 p형 반도체층, 활성층 및 기판의 소정 두께를 식각하여 메사 구조를 형성하는 단계와, 상기 메사 구조 측부의 식각된 부분에 제 2 p형 반도체층, n형 반도체층, 제 3 p형 반도체층을 성장시켜 전류차단층을 형성하는 단계와, 상기 마스크 패턴을 제거한 후 전체 구조 상부에 식각정지층을 형성하고, 상기 식각정지층 상에 제 4 p형 반도체층 및 오믹 접촉층을 성

장시키는 단계와, 제 2 마스크 패턴을 이용한 식각 공정으로 노출된 부분의 상기 오믹 접촉층 및 제 4 p형 반도체층을 소정의 폭으로 패터닝하는 단계와, 평탄화층으로 표면을 평탄화시킨 후 상기 오믹 접촉층의 표면을 노출시키는 단계와, 상기 오믹 접촉층과 접촉되도록 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

<41> 상기 전류차단층은 제 1 p형 반도체층, n형 반도체층 및 제 2 p형 반도체층으로 형성되며, 상기 제 2 p형 반도체층의 두께가 상기 제 1 p형 반도체층보다 얇게 형성된 것을 특징으로 한다.

<42> 상기 제 2 p형 반도체층은 0.2㎜ 이하의 두께로 형성되며, 상기 제 2 클래드층은 p형 반도체층으로 형성된 것을 특징으로 한다.

【발명의 구성 및 작용】

<43> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

<44> 도 4a는 p-n-p-n형 반도체층(41 내지 44)으로 이루어지는 사이리스터 구조의 전류차단층을 개략적으로 도시한다. 이 구조는 도 4b와 같이 전원 단자(Vac)와 접지 간에 p-n-p 트랜지스터(Q1)와 n-p-n 트랜지스터(Q2)가 쌍을 이루며 접속된 회로로 표현된다. 두 트랜지스터(Q1 및 Q2)를 Ebers-Moll model로 계산하여 전류-전압 특성을 구하면 도 5와 같다. 도 5에서 J_1은 트랜지스터의 이득(gain)을 낮추는 공간 전하영역 전류(space charge region currents)로 낮은 바이어스(bias)에서 중요한 역할을 한다. 이 전류는 반도체 계면의 상태에 따라 그 크기가 많이 다르다. 도 5에서 J_1이 "0"이 아닐 때 사이리스터는 두 가지 상태를 갖는다. 즉, 전압이 증가함에 따라 전류가 증가하는 상태 "ON"과, 전압이 증가하여도 전류가 증가하지 않는 상태 "OFF" 이다. "ON" 상태에서 두 트랜지스터(Q1 및 Q2)는 포화(saturation) 영역에서 동작하고 "

OFF" 상태에서 두 트랜지스터(Q1 및 Q2)는 활성(active) 영역에서 동작한다. 이 두 상태는 트랜지스터(Q1)의 베이스(base)와 트랜지스터(Q2)의 콜렉터(collector)를 이루는 n형 반도체의 전위에 따라 바뀌게 되는데, 이 반도체는 전기적으로 플로팅(floating)되어 있다.

<45> BH 레이저에서 전류차단층을 이루는 사이리스터의 상태에 대해서는 여러 가지의 의견이 있다. T. Ohtoshi et al.의 논문("Analysis of current leakage in InGaAsP/InP buried heterostructure lasers", IEEE Journal of Quantum Electronics, vol. 25, No.6, 1989)에서는 이차원 공간에서 행한 계산 결과를 바탕으로 BH 레이저의 전류차단용 사이리스터는 "ON" 상태임을 주장하고 있다. 이렇게 사이리스터가 "ON" 상태이면 전류차단층으로 흐르는 전류를 줄이기 위해 도 4b에 따라 사이리스터에 걸리는 전압을 낮추거나, G. Pakulski의 논문에서 처럼 사이리스터의 면적을 줄여야 한다.

<46> 도 6은 p-n-p-n형 반도체층들로 이루어진 사이리스터를 포함하는 BH 레이저의 회로도이다.

<47> 전류차단층은 여러 개의 사이리스터(T1, T2, … Tn-1)들이 병렬로 연결되어 전류가 옆으로 퍼지는 효과를 나타나게 한다. G. Pakulski의 구조는 이 회로도에서 사이리스터(T2, … Tn)를 제거하고, 제거된 부분을 절연 반도체로 채운 구조에 해당한다. 본 발명은 상부 클래드가 되는 최상부의 p형 반도체층을 매우 작은 폭으로 형성하여 회로도에서 저항(R6)의 값을 증가시킨 구조이다. 사이리스터(T2, … Tn)로 많은 전류가 흐르게 되면 저항(R6)에서 생기는 전압 강하로 인해 사이리스터(T2, … Tn)에 걸리는 전압이 감소된다. 따라서 사이리스터(T2, … Tn)로 흐르는 전류가 감소하게 된다.

<48> 그러면 본 발명의 바람직한 실시에에 따른 BH 레이저의 제작 방법을 도 7a 내지 도 7f를 통해 상세히 설명하면 다음과 같다.

<49> 도 7a를 참조하면, n형 반도체 기판(100) 상에 활성층(101) 및 p형 반도체층(102)을 순차적으로 형성한 후 상기와 같이 이루어진 능동층 상에 메사 구조 형성을 위한 마스크 패턴(103)을 형성한다. 상기 n형 기판(100)으로는 n-InP 기판, 도파로의 코어(core)가 되는 상기 활성층(101)으로는 InGaAsP, 도파로의 클래드가 되는 상기 p형 반도체층(102)으로는 p-InP 등을 사용할 수 있으며, 상기 마스크 패턴(103)은 실리콘 질화막(SiN)이나 실리콘 산화막(SiO)으로 형성할 수 있다.

<50> 도 7b를 참조하면, 마스크 패턴(103)을 이용한 식각 공정으로 노출된 부분의 p형 반도체층(102), 활성층(101) 및 n형 반도체 기판(100)의 소정 두께를 식각하여 메사 구조를 형성한다.

<51> 도 7c를 참조하면, 상기 메사 구조 측부의 식각된 부분에 p형 반도체층(104a), n형 반도체층(104b), p형 반도체층(104c)을 순차적으로 성장시켜 전류차단층(104)을 형성한다. 이 때 상기 p형 반도체층(104c)을 0.2㎜ 이하의 두께로 아주 얇게 형성한다.

<52> 도 7d를 참조하면, 상기 마스크 패턴(103)을 제거한 후 전체 구조 상부에 식각정지층(etch-stop layer)(105)을 얇게 형성하고, 상기 식각정지층(105) 상에 p형 반도체층(106) 및 오믹 접촉층(107)을 순차적으로 성장시킨다. 상기 식각정지층(105)은 InGaAsP으로 형성하며, 도파로의 클래드가 되는 상기 p형 반도체층(106)은 p-InP로 형성하고, 상기 오믹 접촉층(107)은 p-InGaAs로 형성한다.

<53> 도 7e를 참조하면, 감광막(photo-resist), 질화막 또는 산화막으로 마스크 패턴(도시않됨)을 형성한 후 선택적 식각 방법으로 상기 오믹 접촉층(107) 및 p형 반도체층(106)을 소정의 폭으로 패터닝한다. 이 때 상기 식각정지층(105)이 노출되는 시점에서 식각이 정지되도록 하

며, 상기 오믹 접촉층(107) 및 p형 반도체층(106)은 도파로의 중심으로부터 소정의 폭만큼 잔류되도록 한다.

<54> 도 7f를 참조하면, 표면 평탄화 및 전기적 절연을 위해 SOG(spin-on-glass) 등으로 평탄화층(108)을 형성한 후 상기 오믹 접촉층(107) 상부의 평탄화층(108)을 제거하여 표면을 노출시킨다. 상기 오믹 접촉층(107)과 접촉되도록 전체 상부면에 금속층(109)을 형성하여 전극을 완성한다. 상기 기판(100)의 하부면에도 금속층(도시않됨)으로 전극을 완성한다. 상기 금속층(109)은 Ti/Pt/Au로 형성한다.

<55> 본 발명에서는 상기 p형 반도체층(104c)을 바람직하게는 0.2㎛ 이하의 두께로 아주 얇게 형성한다. 따라서 사이리스터를 구성하는 p-n-p 트랜지스터의 에미터들이 아주 높은 저항(도 6의 저항(R6))을 통해 전극과 연결되는 효과를 얻게 된다. 그러므로 사이리스터를 통하여 누설되는 전류가 높은 저항을 통해야 하기 때문에 전극에 전압이 인가되었을 때 사이리스터를 구성하는 전류차단층에 걸리는 전압이 감소되어 능동 도파로 밖으로 흐르는 누설전류가 최소화된다.

<56> 도 8은 서로 다른 구조를 갖는 BH 레이저의 특성을 계산한 결과를 나타낸 그래프로서, 25℃ 및 85℃에서의 특성이 도시된다.

<57> 구조 1(곡선 A1, A2)은 일반적인 p-n-p-n형 반도체층들을 이용한 경우 도파로 주위의 20㎛ 만을 남기고 p-n-p-n형 반도체층들을 제거한 구조이다(도 1 및 도 2 참조).

<58> 구조 2(곡선 B1, B2)는 G. Pakulski에 의해 제안된 구조로서, 도파로 주위의 5㎛ 만을 남기고 반도체층들을 식각한 후 식각된 부분을 절연 반도체로 채운 구조이다(도 3 참조).

<59> 구조 3(곡선 C1, C2)은 본 발명에서 제안하는 구조로서, 도 7 및 도 8과 같이 최상부의 클래드가 되는 p형 반도체층(106)을 식각하여 소정의 폭으로 패터닝한 구조이다.

<60> 도 8의 그래프를 통해 알 수 있듯이, 상온과 낮은 동작 전류에서는 세 구조(구조 1 내지 구조 3)가 거의 비슷한 특성을 보인다. 그러나 고온과 높은 동작 전류에서는 구조 2 및 구조 3(곡선 B1, B2 및 C1, C2)이 기존의 구조 1(곡선 A1, A2)보다 우수함을 알 수 있다. 구조 2가 구조 3보다 특성이 약간 우수하나 고온과 높은 동작 전류에서는 거의 같아지는 것으로 계산되었다. 이 계산에서 빛으로 변환되지 못하는 전류에 의한 레이저의 온도 상승은 고려되지 않았다. 이를 고려하게 되면, 구조 1과 구조 2 및 3과의 특성 차이는 더욱 커지게 된다.

<61> 도 9a는 본 발명에 따른 BH 레이저에서의 도파로 모드 특성을 나타내며, 도 9b는 기존 BH 레이저에서의 도파로 모드 특성을 나타낸다. 최상부 클래드가 되는 p형 반도체층의 일부분을 제거하고 굴절률이 낮은 물질로 채운 본 발명의 도파로 구조는 기존의 구조와 거의 동일함을 알 수 있다. 두 구조의 모드 중첩도(overlap)는 99.7%에 달한다.

【발명의 효과】

<62> 본 발명은 BH 레이저에서 주입된 전류에 대한 광 출력의 비를 향상시키기 위해 능동 도파로 밖으로 흐르는 누설전류를 차단시킨다. 전류차단 방법으로 최상부 클래드가 되는 반도체층을 소정의 폭으로 패터닝하여 전류차단층에 걸리는 전압을 감소시킴으로써 누설전류가 발생되지 않도록 한다. 도 9에 도시된 바와 같이 본 발명에 따른 BH 레이저는 기존의 일반적인 BH 레이저보다 우수한 입력 전류 대 광 출력 특성을 나타낸다. 특히, 고온과 높은 전류에서 양호한 특성을 나타낸다.

<63> 본 발명에 따른 BH 레이저는 일반적인 반도체 제조 공정을 이용하여 제작할 수 있다. 다양한 제조 공정으로부터 최적의 공정을 선택하여 적용하면 더욱 특성이 우수한 BH 레이저를 얻을 수 있다.

【특허청구범위】

【청구항 1】

메사 구조로 식각된 기판과,

상기 메사 구조 상에 형성되며 도파로의 코아가 되는 활성층과,

상기 활성층 상에 형성된 제 1 클래드층과,

상기 메사 구조 측부의 식각된 상기 기판 상에 형성된 전류차단층과,

상기 제 1 클래드층 및 전류차단층 상에 형성된 식각정지층과,

상기 메사 구조 상부의 상기 식각정지층 상에 소정의 폭으로 형성된 제 2 클래드층과,

상기 제 2 클래드층 상에 형성된 오믹 접촉층과,

상기 오믹 접촉층과 접촉되는 제 1 전극과,

상기 기판의 하부면에 형성된 제 2 전극을 포함하는 것을 특징으로 하는 반도체 레이저.

【청구항 2】

제 1 항에 있어서, 상기 전류차단층은 제 1 p형 반도체층, n형 반도체층 및 제 2 p형 반도체층으로 형성되며, 상기 제 2 p형 반도체층의 두께가 상기 제 1 p형 반도체층보다 얇게 형성된 것을 특징으로 하는 반도체 레이저.

【청구항 3】

제 2 항에 있어서, 상기 제 2 p형 반도체층은 0.2㎜ 이하의 두께로 형성된 것을 특징으로 하는 반도체 레이저.

【청구항 4】

제 1 항에 있어서, 상기 제 2 클래드층은 p형 반도체층으로 형성된 것을 특징으로 하는 반도체 레이저.

【청구항 5】

제 1 항에 있어서, 상기 제 2 클래드층 및 오믹 접촉층의 측부에 표면의 평탄화를 위해 형성된 평탄화층을 더 포함하는 것을 특징으로 하는 반도체 레이저.

【청구항 6】

n형 기판 상에 활성층 및 제 1 p형 반도체층을 형성한 후 제 1 마스크 패턴을 이용한 식각 공정으로 노출된 부분의 제 1 p형 반도체층, 활성층 및 기판의 소정 두께를 식각하여 메사 구조를 형성하는 단계와,

상기 메사 구조 측부의 식각된 부분에 제 2 p형 반도체층, n형 반도체층, 제 3 p형 반도체층을 성장시켜 전류차단층을 형성하는 단계와,

상기 마스크 패턴을 제거한 후 전체 구조 상부에 식각정지층을 형성하고, 상기 식각정지층 상에 제 4 p형 반도체층 및 오믹 접촉층을 성장시키는 단계와,

제 2 마스크 패턴을 이용한 식각 공정으로 노출된 부분의 상기 오믹 접촉층 및 제 4 p형 반도체층을 소정의 폭으로 패터닝하는 단계와,

평탄화층으로 표면을 평탄화시킨 후 상기 오믹 접촉층의 표면을 노출시키는 단계와,

상기 오믹 접촉층과 접촉되도록 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 레이저 제작 방법.

【청구항 7】

제 6 항에 있어서, 상기 제 3 p형 반도체층은 0.2㎜ 이하의 두께로 형성하는 것을 특징으로 하는 반도체 레이저 제작 방법.

【청구항 8】

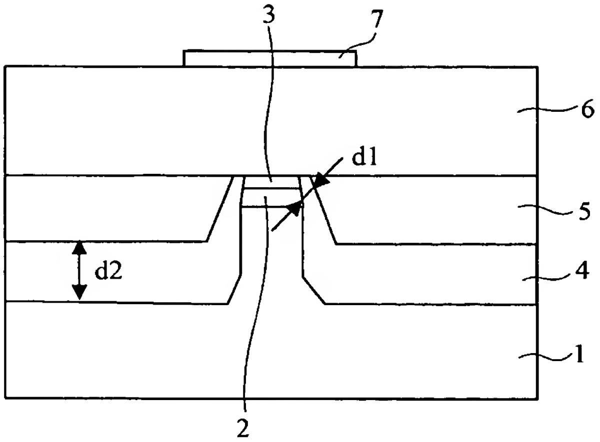
제 6 항에 있어서, 상기 제 1 및 제 2 마스크 패턴은 실리콘 질화막이나 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 레이저 제작 방법.

【청구항 9】

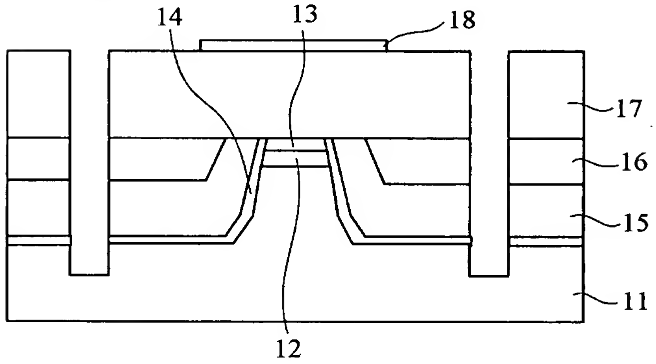
제 6 항에 있어서, 상기 제 4 p형 반도체층은 선택적 식각 방법으로 패터닝되며, 상기 식각정지층이 노출되면 식각이 정지되도록 하는 것을 특징으로 하는 반도체 레이저 제작 방법.

【도면】

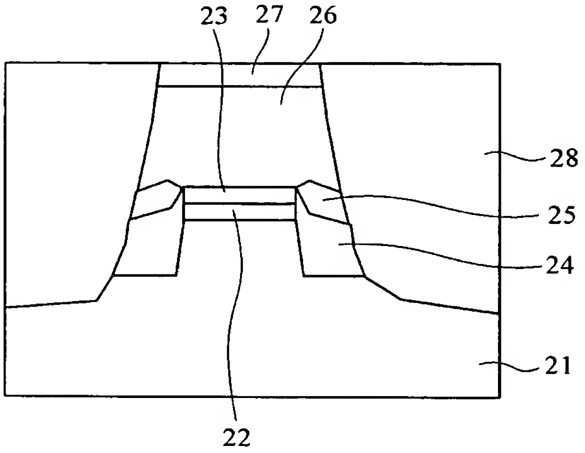
【도 1】



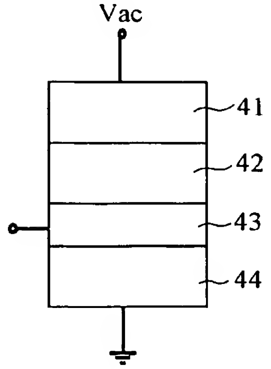
【도 2】



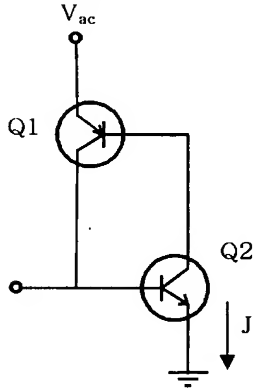
【도 3】



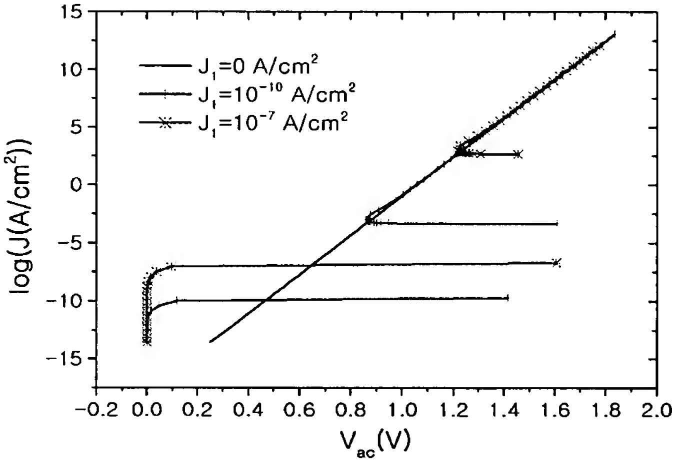
【도 4a】


Vac
41
42
43
44

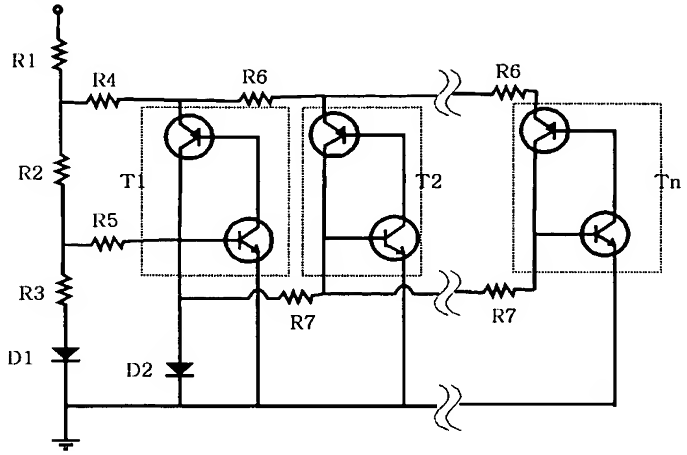
【도 4b】


Vac
Q1
Q2
J

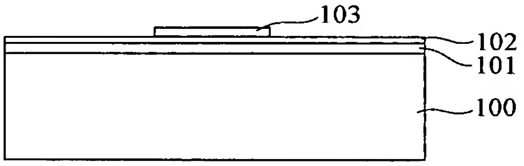
【도 5】


J1=0 A/cm2
J1=10-10 A/cm2
J1=10-7 A/cm2
log(J(A/cm2))
Vac(V)
15
10
5
0
-5
-10
-15
-0.2 0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6 1.8 2.0

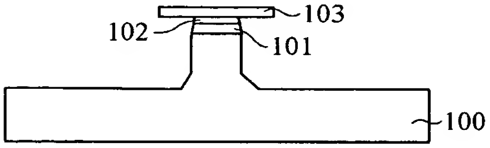
【도 6】



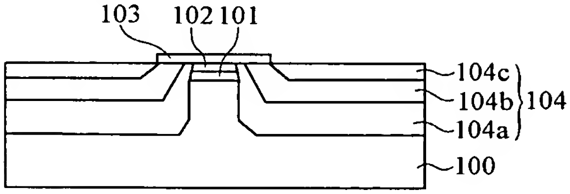
【도 7a】



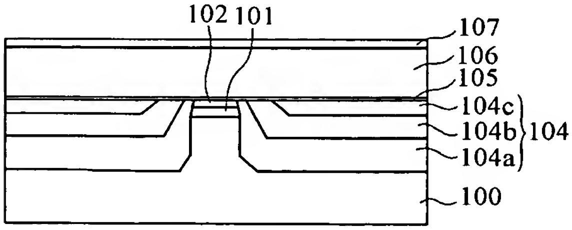
【도 7b】



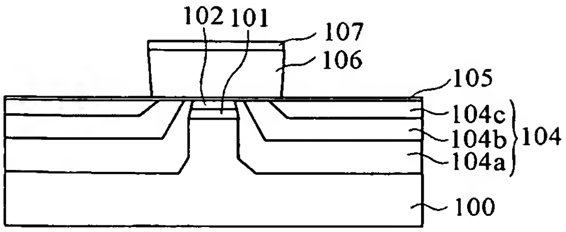
【도 7c】



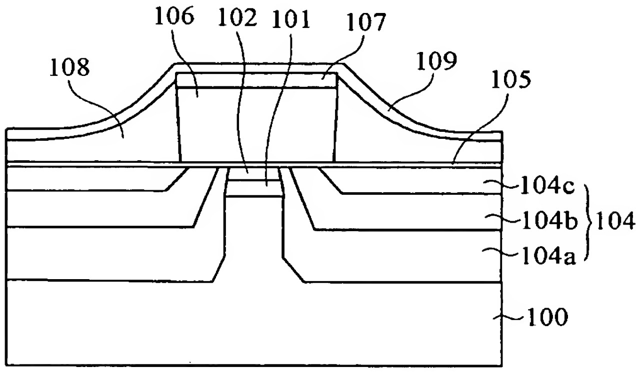
【도 7d】



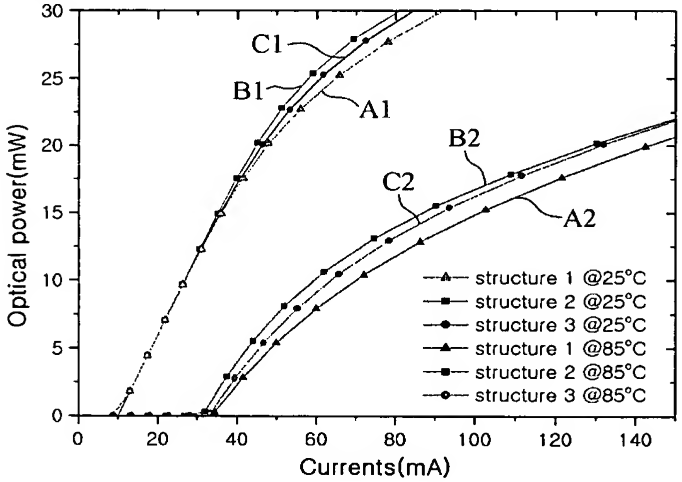
【도 7e】


102
101
107
106
105
104c
104b
104
104a
100

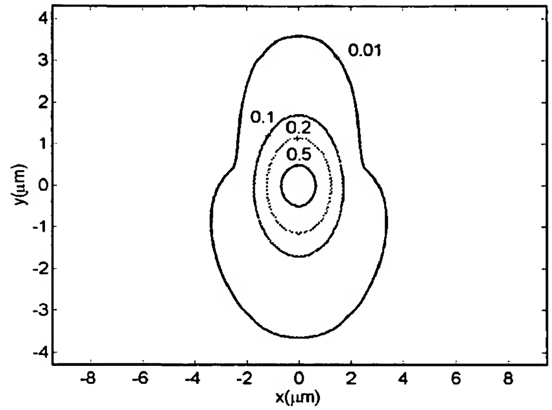
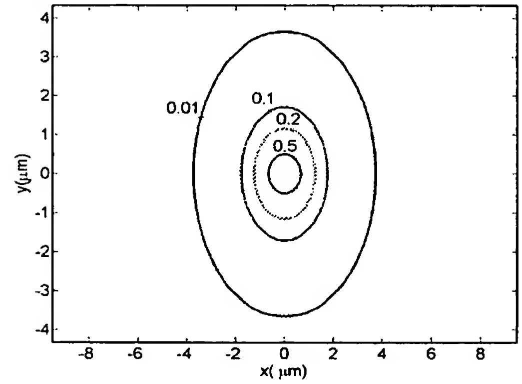
【도 7f】


106
102
101
107
108
109
105
104c
104b
104
104a
100

【도 8】


Optical power(mW)
Currents(mA)
C1
B1
A1
B2
C2
A2
structure 1 @25°C
structure 2 @25°C
structure 3 @25°C
structure 1 @85°C
structure 2 @85°C
structure 3 @85°C

【도 9a】



【도 9b】